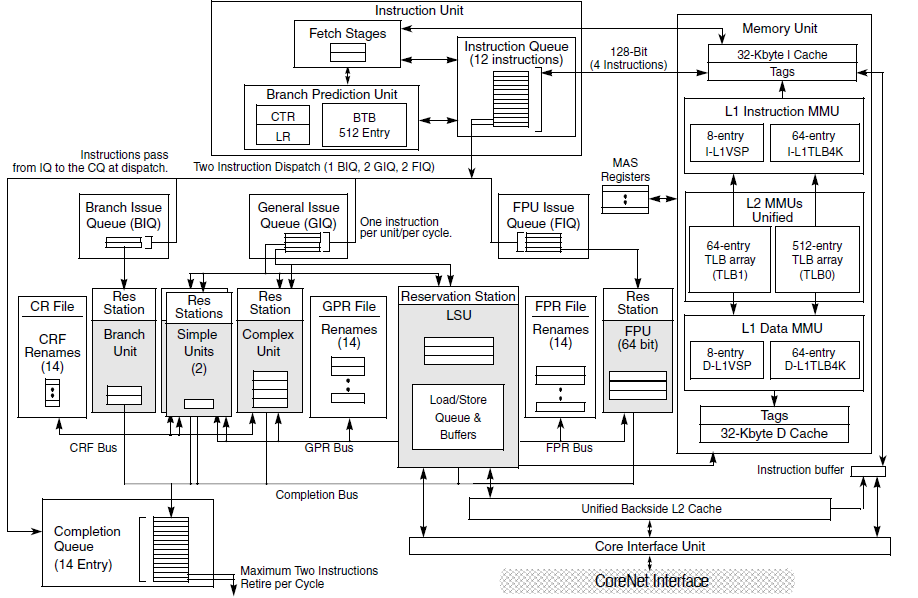
**64位Power PC核－**C9800

概述

C9800是基于PowerPC指令集的，具备流水线多指令并行运行的超标量处理器。C9800拥有32个核心为64位的通用寄存器。处理器核心集成了两个简单指令单元(SFX0,SFX1)，一个多周期指令单元MU multiple-cycle instruction unit BU(branch unit)、FPU (floating-point unit)和LSU (load/store unit)。LSU支持64位整数和64位浮点操作数。能够并行执行六条指令，并使用执行时间短的简单指令。每个时钟周期可以发出两条指令并完成两条指令，指令按顺序完成，但可以乱序执行。C9800专为性能领先的低功耗SOC进行优化设计，定位为高端PowerPC处理器。



主要特征

-双发射七级流水线

-两个简单的指令单元(SFX0, SFX1)

-多周期指令单元(MU)

-分支单位(BU)

-浮点单元(FPU)

-一个加载/存储单元(LSU)

- 32x64位整数通用寄存器文件(GPRF)

- 32x64位浮点寄存器文件(FPRF)

-独立32KB指令和数据L1缓存

- 2周期的访问时间为指令和数据缓存访问提供了3周期的读取延迟

- 流水线访问提供了单周期的缓存吞吐量

- 8路集合关联PLRU替换算法

-每个缓存64字节

-统一256KB的L2 cache

-双周期、非流水线的数据数组访问

- 8路集合关联PLRU替换算法

-每个cacheline有64个单词

-可配置数据阵列的ECC或parity保护

-内存管理单元(MMU)具有2级后备缓冲器(TLB)

-独立的1级指令TLB (ITLB)和数据TLB (DTLB)

- 64项，全关联统一(用于指令和数据访问)L2 TLB数组(TLB1)

-支持11 VSP页面大小”

- 512个条目，4路集合关联统一(用于指令和数据访问)的L2 TLB数组

(TLB0)只支持4 kb的页

- 64位有效地址(EA)转换为36位真实(物理)地址(使用80位临时地址) 虚拟地址

-用于可变大小、4 kbyte到4 gbyte页和固定大小(4 kbyte)页的TLB项

- Endian、write-through、user/supervisor读写/E保护页面属性

-14个内部异常和2个外部中断，具有不同的可嵌套优先级

-2调试模式

-四种不同的电源管理状态:wait、doze、nap和sleep

-CoreNet总线接口